

ELECTROSTATIC BREAKDOWN PROTECTIVE ELEMENT OF SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP4068575
Publication date: 1992-03-04
Inventor(s): SATO SHINICHI
Applicant(s): SHARP CORP
Requested Patent: ☐ JP4068575
Application Number: JP19900183665 19900709
Priority Number(s):
IPC Classification: H01L29/784; H01L23/60; H01L27/04
EC Classification:
Equivalents:

Abstract

PURPOSE: To increase gate breakdown pressure resistance and current driving capability of a transistor by a method wherein a source-side diffusion layer is also formed under an element dielectric isolation film, and a gate electrode overlaps with at least the source only on an element separation insulating film, in an electrostatic breakdown protective element by a transistor of MOS type in which an element dielectric isolation film is used for a gate insulating film.

CONSTITUTION: An electrostatic breakdown protective element F3 of a transistor of MOS type in which an element dielectric isolation film 7 is used for a gate insulating film comprises a P-type Si substrate 3, drains 1, 4 formed by using an N-well opposite in conductivity type to the P-type Si substrate, sources 2, 5 formed by using an N-well similar to that described above, a gate electrode 6 of polycrystalline Si, and a LOCOS film 7 which is a gate insulating film. The sources 2, 5 and the drains 1, 4 overlap with the gate electrode 6 under the LOCOS film 7. Furthermore, since the gate 6 and the drains 1, 4 are electrically connected to terminal D, and the sources 2, 5 are electrically connected to ground E, if a positive static charges are applied to the terminal, the gate voltage increases, causing the transistor to be turned on and causing static charges to escape to the ground.

Data supplied from the esp@cenet database - I2

출력 일자: 2002/11/6

발송번호 : 9-5-2002-039144571
발송일자 : 2002.10.31
제출기일 : 2002.12.31

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2
층
이영필 귀하
137-874

특허청 의견제출통지서

출원인 명칭 페어차일드코리아반도체 주식회사 (출원인코드: 119990252056)
주소 경기 부천시 원미구 도당동 82-3
대리인 성명 이영필 외 1 명
주소 서울 서초구 서초3동 1571-18 청화빌딩 2층
출원번호 10-2001-0008434
발명의 명칭 정전기적 방전으로부터의 보호를 위한 필드 트랜지스터 및 그 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제 1-18항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원은 정전기보호트랜지스터에 관한 것으로 게이트 도전막 패턴 전체를 필드 산화막 위에만 형성함으로써 강한 전계에 의한 게이트 절연막의 파괴를 방지하고/저농도 소스/드레인 영역이 필드 산화막을 개재하여 게이트의 가장자리의 중첩되도록 함으로써 드레인 단자와 벌크 사이에 완전한 전류 경로가 형성되도록 함을 특징으로 하나, 이는 일본특개평04-68575호(1992.3.4)(이하, 인용예)에서 정전파괴보호소자에 있어서 소자본리 절연막상에 게이트를 형성하고, 소스/드레인 영역이 소자본리 절연막을 통하여 게이트의 가장자리와 오버랩되도록 한 기술과 유사하여 당해 기술분야에서 통상의 지식을 가진 자가 상기의 인용예에 의해 용이하게 발명할 수 있습니다.

[첨부]

첨부1 일본특개평04-68575호 끝.

2002.10.31

특허청

심사4국

반도체2 심사담당관실

심사관 정해곤



0V16102

출력 일자: 2002/11/6

<<안내>>

문의사항이 있으시면 ☎ 042-481-5986 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위
가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-68575

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月4日

H 01 L 29/784
23/60
27/04H 7514-4M
8422-4M
6918-4MH 01 L 29/78
23/563 0 1 K
B

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路の静電破壊保護素子

⑯ 特 願 平2-183665

⑰ 出 願 平2(1990)7月9日

⑱ 発 明 者 里 眞 一

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 野河 信太郎

明 細 書

1. 発明の名称

半導体集積回路の静電破壊保護素子

2. 特許請求の範囲

1. 素子分離絶縁膜をゲート絶縁膜に利用した MOS構造のトランジスタによる静電破壊保護素子であって、第1導電型の半導体基板と、その半導体基板と逆タイプの第2導電型の不純物拡散領域と、ゲート電極およびゲート絶縁膜としての素子分離絶縁膜とからなり、該不純物拡散領域が少なくとも、MOSTランジスタのソース側の素子分離絶縁膜の直下に形成され、かつ上記不純物拡散領域が少なくともMOSTランジスタのソース側で、素子分離絶縁膜下でのみ、ゲート電極とオーバーラップしており、MOSTランジスタのドレインとゲートが、端子パッドと電気的に接続され、しかもソースが電源電位あるいは接地電位に電気的に接続された半導体集積回路の静電破壊保護素子。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、半導体集積回路の静電破壊保護素子に関するものである。

(ロ) 従来の技術

従来の半導体集積回路中の素子分離絶縁膜(ロコス酸化膜)がゲート絶縁膜となる寄生トランジスタを利用した静電破壊保護素子は、第3図に示す様に、ゲート電極として、半導体集積回路中のゲート電極層ではなく、金属配線層を用いていた。

すなわち、第3図において、保護素子F₁は、ロコス酸化膜31、ドレイン32およびソース33のN⁺層を有するP型Si基板34上に、BPSG膜35が配設され、N⁺層に通ずるコンタクトホール36を介してA1-Siの金属配線37が被覆され、その一端が端子の方向(図示Aで示す矢印方向)に延設され、他端が図示Bで示す矢印方向で接地されている。

(ハ) 発明が解決しようとする課題

従来技術では、保護素子として用いる寄生トランジスタのしきい値電圧が、一般にPN接合の接

合耐圧よりも高いため、寄生トランジスタの電流駆動能力が、静電破壊保護にほとんど寄与していなかった。

また、半導体集積回路中のゲート電極層を、ゲート電極とし、素子分離絶縁膜をゲート絶縁膜とした寄生トランジスタのしきい値電圧は、一般にPN接合の接合耐圧よりも低いが、第4図に示す様に、ゲート絶縁膜の一部が、半導体集積回路のゲート絶縁膜となり、ゲート破壊電圧が低いため、静電破壊保護回路として利用できなかった。

すなわち、第4図に示すように、保護素子F₁は、コクス酸化膜41、ドレイン42およびソース43のN⁺層を有するP型Si基板44上に、ゲート絶縁膜45を介してポリSi層(ゲート電極)46が配設され、そのゲート電極上と、N⁺層42、43上に、それぞれコンタクトホール47、48、49を有するBPSG膜50が積層され、さらに各コンタクトホールを介してAl-Siの金属配線51が積層され、その両端が図示A、Cで示す矢印方向の端子の方向に延設されている。

ゲート電極が素子分離絶縁膜上でのみ少なくともソースとオーバーラップした構造とし、ドレインとゲートを端子パッドと電気的に接続し、しかもソースを電源あるいは、接地と電気的に接続することにより、ゲート破壊耐圧が高く、かつトランジスタの電流駆動能力を十分に利用できる様にしたものである。

(ホ) 実施例

以下図に示す実施例に基づいてこの発明を詳述する。なお、これによってこの発明は限定を受けるものではない。

第1、2図において、素子分離絶縁膜をゲート絶縁膜に利用したMOSTランジスタ型の静電破壊保護素子F₁は、P型Si基板3と、この基板と逆タイプの導電型のN⁺ウェルを用いて形成されたドレイン1、4と、同じくN⁺ウェルを用いて形成されたソース2、5と、ポリSiのゲート電極6と、ゲート絶縁膜であるロクス膜7とから主としてなる。

更に、ソース2、5およびドレイン1、4がロ

(ニ) 課題を解決するための手段および作用

この発明は、素子分離絶縁膜をゲート絶縁膜に利用したMOST構造のトランジスタによる静電破壊保護素子であって、第1導電型の半導体基板と、その半導体基板と逆タイプの第2導電型の不純物拡散領域と、ゲート電極およびゲート絶縁膜としての素子分離絶縁膜とからなり、該不純物拡散領域が少なくとも、MOSTランジスタのソース側の素子分離絶縁膜の直下に形成され、かつ上記不純物拡散領域が少なくともMOSTランジスタのソース側で、素子分離絶縁膜下でのみ、ゲート電極とオーバーラップしており、MOSTランジスタのドレインとゲートが、端子パッドと電気的に接続され、しかもソースが電源電位あるいは接地電位に電気的に接続された半導体集積回路の静電破壊保護素子である。

すなわち、この発明は、素子分離絶縁膜がゲート絶縁膜となり、半導体集積回路中のゲート電極層がゲート電極となる寄生トランジスタを利用し、ソース側拡散層を素子分離絶縁膜下にも形成し、

ソース側で、ゲート電極6とオーバーラップしている、さらに、上記P型Si基板3上に、全面に、BPSG膜8が積層され、N⁺層4、5に通ずるコンタクトホール9およびゲート電極6に通ずるコンタクトホール10を有し、これらコンタクトホール9、10を介してAl-Siの金属配線層11が積層され、その一端が端子の方向(図示Dで示す矢印方向)に延設され、他端が図示Eで示す矢印方向で接地されている。

この実施例のものは、MOSTランジスタ型の保護素子F₁のソース2、5、ドレイン1、4と、MOSTランジスタ型の保護素子F₂のPoly-Siゲート電極5とからなっており、ドレイン拡散層およびソース拡散層がロクス酸化膜7下でオーバーラップする構成にし、特に、N⁺ウェル1、2を保護素子のソース、ドレイン拡散層として利用することにより、従来のCMOS集積回路の製造工程数より工程数を増加させることなく素子を形成できる。

さらに、ゲート、ドレインは端子に、ソースは

接地に電氣的に接続されていることから、端子に正の静電気が印加された場合、ゲート電圧が上昇し、PN接合とゲート絶縁膜が破壊する前にトランジスタがONし、静電気を接地へ送ることができる。ゲート破壊の起こらない素子を作成できる。

(へ) 発明の効果

以上のようにこの発明によれば、素子分離絶縁膜がゲート絶縁膜となり、半導体集積回路中のゲート電極層がゲート電極となる寄生トランジスタを利用し、保護素子のソース側拡散層を素子分離絶縁膜下にも形成し、MOSトランジスタのゲート電極が素子分離絶縁膜上でのみソースとオーバーラップした構造とし、MOSトランジスタのドレインとゲートを端子パッドと電氣的に接続し、しかもMOSトランジスタのソースを電源あるいは、接地と電氣的に接続することにより、ゲート破壊耐圧が高く、かつトランジスタの電流駆動能力を向上できる効果がある。

4. 図面の簡単な説明

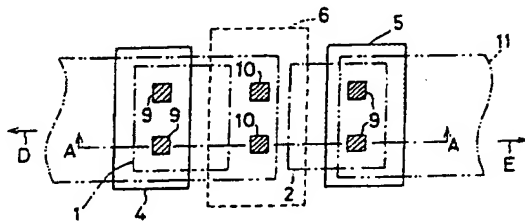
第1図はこの発明の一実施例を示す全体構成図

明図、第2図は第1図におけるA-A線矢視図、第3図および第4図はそれぞれ従来例を示す構成説明図である。

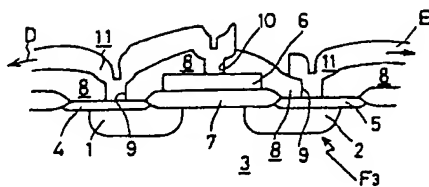
- 1, 4 ……ドレイン拡散層、
- 2, 5 ……ソース拡散層、
- 3 ……P型Si基板、
- 6 ……ゲート電極、7 ……ロソス酸化膜、
- 8 ……BPSG膜、
- 9, 10 ……コンタクトホール、
- 11 ……Al-Siの金属配線層、

代理人 弁理士 野河 信太郎

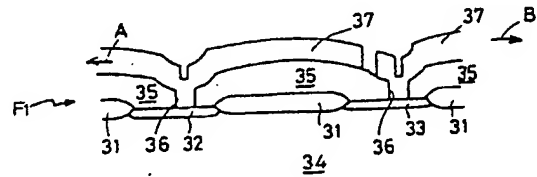
第1図



第2図



第3図



第4図

